

681.325.5(07)

М 545

№№ 2020, 2021

**ГОСУДАРСТВЕННЫЙ КОМИТЕТ
РОССИЙСКОЙ ФЕДЕРАЦИИ
ПО ВЫСШЕМУ ОБРАЗОВАНИЮ**

**ТАГАНРОГСКИЙ ГОСУДАРСТВЕННЫЙ РАДИОТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ**

18

КАФЕДРА
СИСТЕМ АВТОМАТИЧЕСКОГО УПРАВЛЕНИЯ



**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
К ВЫПОЛНЕНИЮ
лабораторной работы № 6 и 7
ИССЛЕДОВАНИЕ СУММАТОРОВ
ИССЛЕДОВАНИЕ ОСНОВНЫХ
КОМБИНАЦИОННЫХ УСТРОЙСТВ ЦВМ
Для студентов специальностей 21.01, 22.04**



Таганрог 1994

Составители: С. Г. Крутчичский, С. В. Гришин, Ю. И. Иванов.

УДК 681.322(07.07)

Методические указания к выполнению лабораторных работ № 6 и 7 «Исследование сумматоров», «Исследование основных комбинационных устройств ЦВМ»/Таганрог. гос. радиотехн. ун-т; Сост. С. Г. Крутчичский, С. В. Гришин, Ю. И. Иванов. Таганрог, 1994. 16 с.

Рассматриваются принципы выполнения операций сложения и вычитания в двоичной и десятичной арифметике при их реализации на сумматорах различного типа, дается схемотехника основных комбинационных устройств ЦВМ и методика их экспериментального исследования

Табл. 8. Ил. 11.

Рецензент Ю. И. Колпачев, ст. преподаватель кафедры МПС ТРТУ.

6. ИССЛЕДОВАНИЕ СУММАТОРОВ

6.1. Цель работы

Исследование принципов построения сумматоров и выполнение операций в двоичной арифметике.

6.2. Выполнение арифметических операций в ЦВМ

Применение прямого, обратного и дополнительного кодов позволяет в ЦВМ реализовать любую операцию на базе сумматора и набора регистров, обеспечивающих хранение необходимых чисел. Рассмотрим процедуры выполнения этих операций.

Сложение чисел достаточно просто выполняется в прямом коде. Числа складываются в сумматоре и сумме присваивается код знака слагаемых. Например:

$$\begin{array}{r}
 +3 \\
 +2 \\
 \hline
 5
 \end{array}
 \Rightarrow
 \begin{array}{r}
 0.011 \\
 0.010 \\
 \hline
 0.101
 \end{array}
 \qquad
 \begin{array}{r}
 -3 \\
 -2 \\
 \hline
 -5
 \end{array}
 \Rightarrow
 \begin{array}{r}
 1.011 \\
 1.010 \\
 \hline
 1.101
 \end{array}
 \quad (6.1)$$

Значительно усложняется операция сложения чисел с разными знаками. В этом случае необходимо:

- определить большее по модулю число;
- выполнить вычитание;
- присвоить разности знак большего по модулю числа.

Для упрощения выполнения этой операции слагаемые представляются в обратном или дополнительном кодах. Поясним процедуру на конкретных примерах вычитания чисел 5 и 3, а также 3 и 5. Последовательность и взаимосвязь операций представлена в табл. 6.1.

Таблица 6.1

Вариант	Обратный код	Дополнительный код
$ \begin{array}{r} -5 \\ -3 \\ \hline 2 \end{array} $	$ \begin{array}{r} x_1=0.101 \\ x_2=1.100 \\ + 0.101 \\ \hline 1.100 \\ \hline 10.001 \\ \hline 0.010 \end{array} $ <p>Перенос в младший разряд. Сумма положительна</p>	$ \begin{array}{r} x_1=0.101 \\ x_2=1.101 \\ + 0.101 \\ \hline 1.101 \\ \hline 10.010 \\ \hline 0.010 \end{array} $ <p>Единица переноса в младший разряд игнорируется. Сумма положительна</p>
$ \begin{array}{r} -3 \\ -5 \\ \hline -2 \end{array} $	$ \begin{array}{r} x_1=0.011 \\ x_2=1.010 \\ + 0.011 \\ \hline 1.010 \\ \hline 1.101 \end{array} $ <p>Перенос в младший разряд отсутствует. Сумма отрицательна и представлена в обратном коде</p>	$ \begin{array}{r} x_1=0.011 \\ x_2=1.011 \\ + 0.011 \\ \hline 1.011 \\ \hline 1.110 \end{array} $ <p>Сумма отрицательна и представлена в дополнительном коде (см. лабораторную работу №4)</p>

Анализ приведенных примеров показывает, что при использовании обратного кода в многоразрядном сумматоре необходимо предусмотреть цепь циклического переноса. В случае дополнительного кода эта цепь отсутствует.

При помощи сумматора можно обеспечить умножение и деление чисел. Конкретный пример выполнения этих операций приведен в табл. 6.2.

Таблица 6.2

Операция	Процедура	Последовательность основных микроопераций
$5 \times 3 = 15$	$\begin{array}{r} \times 101 \\ 011 \\ \hline + 101 \\ + 1010 \\ \hline 00000 \\ 01111 \end{array}$	<ul style="list-style-type: none"> Суммирование Сдвиг суммы Сдвиг
$15:3=5$	$\begin{array}{r} 0.1111 11 \\ + 1.01 101 \\ \hline 0.00 \\ + 0.01 \\ \hline 1.01 \\ \hline 1.10 \\ \hline 0.01 \\ + 0.11 \\ \hline 1.01 \\ \hline 0.00 \end{array}$	<ul style="list-style-type: none"> Суммирование в дополнительном коде Сумма положительна — запись единицы Сдвиг остатка Сумма отрицательна — запись нуля Восстановление остатка Сдвиг остатка Запись единицы, конец вычислений

6.3. Одноразрядные сумматоры

Сумматором называется устройство, выполняющее арифметическое суммирование кодов чисел. Существует два основных типа сумматоров — комбинационные и накопительные. Обычно многоразрядный сумматор представляет собой комбинацию одноразрядных суммирующих схем.

При сложении двух чисел независимо от системы счисления в каждом разряде производится сложение трех цифр: цифры данного разряда первого слагаемого (a_i), цифры данного разряда второго слагаемого (b_i) и цифры (единица или нуль) переноса из соседнего младшего разряда (P_i). В результате сложения для каждого разряда получаются цифра суммы для этого разряда (S_i) и цифра (единица или нуль) переноса в следующий старший разряд (P_{i+1}) (см. табл. 6.3). Если $P_i=0$, то соответствующая схема называется полусумматором

Таблица 6.3

a_i	b_i	P_i	S_i	P_{i+1}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Для синтеза схемы комбинационного одноразрядного сумматора воспользуемся совершенной дизъюнктивной нормальной формой (СДНФ) и найдем минимизированную дизъюнктивную нормальную форму (МДНФ), тогда

$$S_i = P_i(a_i \bar{b}_i + \bar{a}_i b_i) + P_i(\overline{a_i b_i + \bar{a}_i \bar{b}_i}), \quad (6.2)$$

$$P_{i+1} = a_i b_i + P_i(a_i + b_i).$$

Функциональная схема устройства приведена на рис. 6.1, а.

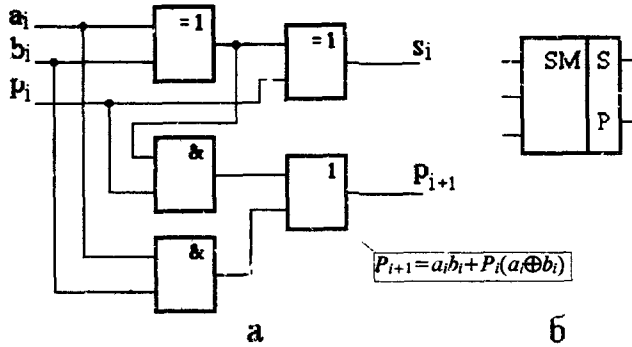


Рис. 6.1. Принципиальная схема (а) и условное обозначение (б) одноразрядного сумматора

Кроме элементов “Исключающее ИЛИ” сумму по модулю два реализует счетный триггер. Из (6.2) следует, что

$$S_i = (a_i \oplus b_i) \oplus P_i, \quad (6.3)$$

$$P_{i+1} = a_i b_i + P_i(a_i + b_i)$$

Схема, функционирующая в соответствии с этими соотношениями, приведена на рис. 6.2.

В приведенном устройстве суммирование обеспечивается за три такта подачи на счетный вход первого триггера последовательно всех трех аргументов.

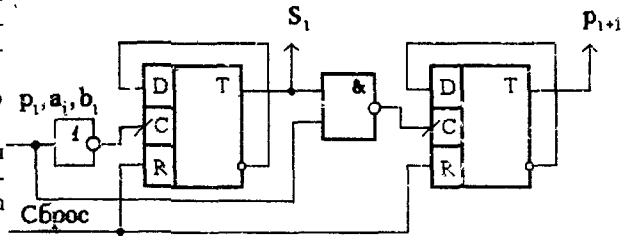


Рис. 6.2. Принципиальная схема одноразрядного сумматора накапливающего типа

6.4. Многоразрядные сумматоры

В зависимости от способа передачи чисел в вычислительном устройстве для их сложения могут применяться последовательные или параллельные сумматоры.

Последовательные многоразрядные сумматоры выполняют операцию над двумя числами последовательно во времени разряд за разрядом, начиная с младшего (рис. 6.3).

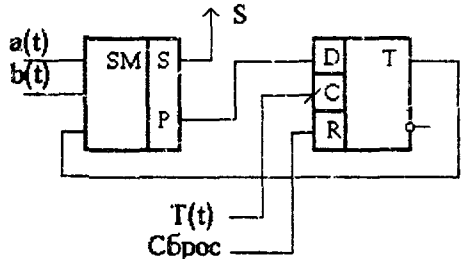
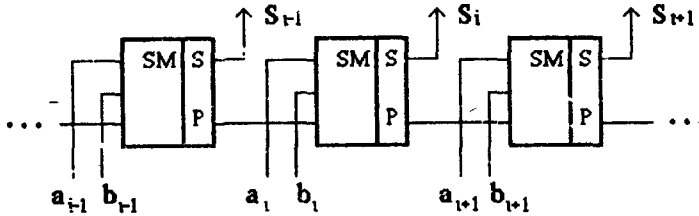


Рис. 6.3. Функциональная схема последовательного сумматора

Таким образом, процесс суммирования состоит из ряда тактов (по числу разрядов), в каждом из которых производится сложение двух разрядов слагаемых и единицы переноса из младшего разряда в старший.

Параллельные многоразрядные сумматоры предназначены для одновременного суммирования двух многоразрядных чисел, характеризуются различными способами формирования



сигнала переноса из младших разрядов в старшие и состоят из одноразрядных сумматоров, число которых равно количеству разрядов. Способ построения параллельного сумматора демонстрируется на рис. 6.4.

Рис. 6.4. Функциональная схема параллельного сумматора

6.5. Домашнее задание

1. Повторить системы счисления, формы и коды представления чисел в ЦВМ.
2. Нарисовать функциональные схемы одноразрядных сумматоров (рис. 6.1 и 6.2) и заготовить таблицы истинности, характеризующие их работу
3. По функциональной схеме (рис. 6.3) составить принципиальную схему последовательного сумматора.

4. Перевести в двоичную систему счисления в соответствии с вариантом задания числа приведенные в табл. 6.4, представить их в прямом, обратном и дополнительном кодах и выполнить над ними требуемые операции в обратном и дополнительном кодах. Для операций умножения и деления сослать перечень необходимых микроопераций.

Таблица 6.4

№варианта	Числа	Обратный код				Дополнительный код			
		$x_1 + x_2$	$x_1 - x_2$	$x_1 \times x_2$	$x_1 : x_2$	$x_1 + x_2$	$x_1 - x_2$	$x_1 \times x_2$	$x_1 : x_2$
1	x_1	2	3	3	-	-6	3	-	4
	x_2	5	6	2	-	-1	2	-	2
2	x_1	3	-1	-	6	3	4	2	-
	x_2	-4	-6	-	3	-2	3	3	-
3	x_1	4	5	2	-	5	-3	-	6
	x_2	-3	2	2	-	-2	4	-	3
4	x_1	5	-4	-	4	-3	6	3	-
	x_2	1	-1	-	2	4	3	2	-
5	x_1	4	5	2	-	-3	5	-	6
	x_2	-1	3	3	-	-2	6	-	2
6	x_1	-5	-6	-	6	2	4	2	-
	x_2	2	-3	-	2	5	3	2	-
7	x_1	2	-2	3	-	-6	-3	-	6
	x_2	5	3	2	-	1	4	-	3

№вари- анта	Числа	Обратный код				Дополнительный код			
		$x_1 + x_2$	$x_1 - x_2$	$x_1 \times x_2$	$x_1 : x_2$	$x_1 + x_2$	$x_1 - x_2$	$x_1 \times x_2$	$x_1 : x_2$
8	x_1	-6	5	-	4	-3	-5	3	-
	x_2	-1	2	-	2	4	-2	2	-
9	x_1	1	3	2	-	-3	-3	-	6
	x_2	5	6	2	-	1	-6	-	2
10	x_1	-2	-3	-	6	1	-1	2	-
	x_2	5	4	-	2	6	-5	3	-
11	x_1	2	-3	2	-	-5	1	-	4
	x_2	5	-6	3	-	3	5	-	2
12	x_1	6	-5	-	6	-3	-2	2	-
	x_2	-4	3	-	3	-4	-6	2	-

6.6. Работа в лаборатории

1. Привести экспериментальное исследование работы одноразрядных сумматоров. Для исследования этих схем в блоке логических элементов и триггерном блоке произвести необходимые коммутации гибкими проводниками. Подавая на вход собранных схем все возможные комбинации, снять таблицы истинности. Работу устройств контролировать с помощью элементов индикации. Построить временные диаграммы работы сумматора накапливающего типа.

2. Собрать составленную при выполнении домашнего задания принципиальную схему последовательного сумматора. Убедившись в правильности работы устройства произвести суммирование двух чисел, первое из которых является номером группы, а второе — номером рабочего стола. Результат представить преподавателю.

3. Исследовать операцию алгебраического сложения чисел X_1 и X_2 в обратном и дополнительном кодах для комбинационного четырехразрядного сумматора, расположенного в блоке регистров.

Первоначально первое слагаемое записывается (старыми разрядами вперед) в регистр А. Подачей на синхровход регистра В импульса от формирователя F первое слагаемое перепишется в этот регистр. Затем регистр А обнуляется и в него записывается второе слагаемое. Установка типа кода (обратный, дополнительный) производится кнопкой ОК/ДК.

Контролировать состояние регистров А и В, а также выхода сумматора можно с помощью светодиодов или семисегментного индикатора. Для этого, нажав кнопку "Управление", необходимо мультиметр подключить к выходам регистров или сумматора.

4. Используя составленный при выполнении домашнего задания перечень микроопераций осуществить операции умножения и деления.

6.7. Содержание отчета

1. Цель работы.
2. Принципиальные схемы исследуемых сумматоров, таблицы истинности и временные диаграммы.
3. Результаты домашних расчетов и численных проверок всех операций, выполненных лабораторном стенде.
4. Выводы.

7. ИССЛЕДОВАНИЕ ОСНОВНЫХ КОМБИНАЦИОННЫХ УСТРОЙСТВ ЦВМ

7.1. Цель работы

Исследование шифраторов, дешифраторов, распределителей сигналов, мультиплексоров и демультимплексоров

7.2. Дешифраторы

Дешифратор предназначен для преобразования двоичного кода в напряжение логического уровня, появляющееся на том выходе, десятичный номер которого соответствует двоичному коду. - -

Рассматриваемое устройство представляет собой совокупность схем совпадения, формирующих управляющий сигнал на соответствующем одном выходе или на нескольких выходах сразу. В зависимости от разрядности дешифрируемого кода и функциональных возможностей интегральных схем дешифратор может быть выполнен на основе одноступенчатой (или линейной) и многоступенчатой схем дешифрации. Многоступенчатые дешифраторы подразделяются на прямоугольные (матричные) и пирамидальные.

Дешифраторы широко используются в устройствах управления, где они в соответствии с поступающим кодом образуют на выходах комбинацию управляющих сигналов для других блоков системы, а также для вывода информации на различные световые табло. В ряде случаев дешифратор преобразует двоичный код в семисегментный для управления семисегментным индикатором.

Соответствие между входными и выходными сигналами дешифраторов двоичного кода в шестнадцатеричный и семисегментный приведено в табл. 7.1.

Таблица 7.1

Десятичное число	Двоичный код				Двоично-десятичный код				Шестнадцатеричный код	Семисегментный код							
	X3	X2	X1	X0	X3	X2	X1	X0		Н	Г	Ф	Е	Д	С	В	А
A ₁₀	X3	X2	X1	X0	X3	X2	X1	X0		Н	Г	Ф	Е	Д	С	В	А
0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	1	1	1	1	1	1	0	0	1
2	0	0	1	0	0	0	1	0	2	1	0	1	0	0	1	0	0
3	0	0	1	1	0	0	1	1	3	1	0	1	1	0	0	0	0
4	0	1	0	0	0	1	0	0	4	1	0	0	1	1	0	0	1
5	0	1	0	1	0	1	0	1	5	1	0	0	1	0	0	1	0
6	0	1	1	0	0	1	1	0	6	1	0	0	0	0	0	1	0
7	0	1	1	1	0	1	1	1	7	1	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	0	8	1	0	0	0	0	0	0	0
9	1	0	0	1	1	0	0	1	9	1	0	0	1	0	0	0	0
10	1	0	1	0	0	0	0	0	A	1	0	0	0	1	0	0	0

Продолжение таблицы 7.1

Десятичное число	Двоичный код				Двоично-десятичный код				Шестнадцатеричный код	Семисегментный код							
	X3	X2	X1	X0	X3	X2	X1	X0		H	G	F	E	D	C	B	A
11	1	0	1	1	0	0	0	1	B	1	0	0	0	0	0	1	1
12	1	1	0	0	0	0	1	0	C	1	1	0	0	0	1	1	0
13	1	1	0	1	0	0	1	1	D	1	0	1	0	0	0	0	1
14	1	1	1	0	0	1	0	0	E	1	0	0	0	0	1	1	0
15	1	1	1	1	0	1	0	1	F	1	0	0	0	1	1	1	0

Дешифратор реализует на выходах минтермы входных переменных или инверсии минтермов — макстермы. Каждому набору переменных ставится в соответствие минтерм (континuenta единицы) — конъюнкция (произведение) всех переменных, которые входят в прямом виде, если значение данной переменной в наборе равно "1", либо в инверсном виде, если значение переменной равно "0".

Если на выходах дешифратора образуется полный набор минтермов (макстермов) входных переменных, то такой дешифратор называется полным, в противном случае — неполным. Логическое выражение для i -й выходной функции полного дешифратора имеет вид

$$Y_i = m_i = \overline{M}_{n-i} \text{ или } Y_i = M_{n-i} = \overline{m}_i,$$

где m , M — соответствующие минтерм и макстерм, n — разрядность кода.

Рассмотрим построение принципиальной схемы дешифратора, предназначенного для преобразования двухразрядного кода (X0, X1) в четыре логических сигнала (Y0, Y1, Y2, Y3) (табл. 7.2)

Таблица 7.2

Входные переменные		Выходные переменные			
X1	X0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Используя СДНФ, получим:

$$\begin{aligned} Y_0 &= X_0 \cdot X_1 = \overline{\overline{X_0} + \overline{X_1}} \\ Y_1 &= X_0 \cdot \overline{X_1} = \overline{\overline{X_0} + X_1} \\ Y_2 &= \overline{X_0} \cdot X_1 \\ Y_3 &= \overline{X_0} \cdot \overline{X_1} \end{aligned} \quad (7.1)$$

Принципиальная схема дешифратора, соответствующая системе (7.1), приведена на рис. 7.1.

Для неполных дешифраторов имеются безразличные наборы входных переменных, которые можно использовать при минимизации выходных функций.

7.3. Шифраторы

Шифратор предназначен для преобразования M -разрядного двоичного кода в однозначно соответствующий ему n -разрядный код, имеющий меньшее число разрядов и безразличных наборов. В результате преобразования осуществляется "сжатие" информации и появляется возможность передачи ее по меньшему числу линий связи.

Входы ряда шифраторов являются приоритетными, т.е. "старший" по номеру вход обладает приоритетом по отношению ко всем остальным. Некоторые устройства имеют дополнительные входы и выходы, обеспечивающие широкие сервисные возможности устройства.

Схематические принципы проектирования шифраторов и дешифраторов совпадают. В качестве примера рассмотрим построение схемы шифратора из "4 в 2". Функционирование такого устройства должно соответствовать табл. 7.3.

Используя СДНФ, получим

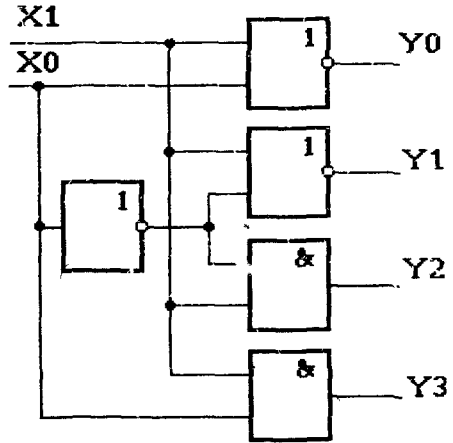


Рис. 7.1 Функциональная схема дешифратора "из 2 в 4"

Таблица 7.3

Входные переменные				Выходные переменные		Промежуточные аргументы			
X3	X2	X1	X0	Y1	Y0	A	B	C	D
0	0	0	1	0	0	0	0	0	0
0	0	1	0	0	1	1	1	0	0
0	1	0	0	1	0	0	0	1	1
1	0	0	0	1	1	1	1	1	1

$$Y_0 = \bar{X}_0 \cdot X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 + \bar{X}_0 \cdot \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 = \bar{X}_0 \cdot \bar{X}_2 \cdot (X_1 \cdot \bar{X}_3 + \bar{X}_1 \cdot X_3) = A \cdot B, \quad (7.2)$$

$$Y_1 = \bar{X}_0 \cdot \bar{X}_1 \cdot X_2 \cdot \bar{X}_3 + \bar{X}_0 \cdot \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 = \bar{X}_0 \cdot \bar{X}_1 \cdot (X_2 \cdot \bar{X}_3 + \bar{X}_2 \cdot X_3) = C \cdot D.$$

Проведя дополнительный анализ промежуточных аргументов A, B, C, D, легко установить (табл. 7.3), что

$$Y_0 = A = B = X_1 \cdot \bar{X}_3 + \bar{X}_1 \cdot X_3, \quad (7.3)$$

$$Y_1 = C = D = X_2 \cdot \bar{X}_3 + \bar{X}_2 \cdot X_3.$$

Один из вариантов принципиальной схемы шифратора показан на рис. 7.2.

Другие варианты реализации шифратора могут быть получены из систем (7.2) и (7.3).

7.4. Распределители сигналов

Распределители сигналов служат для управления различными устройствами цифровых систем. Выходы распре-

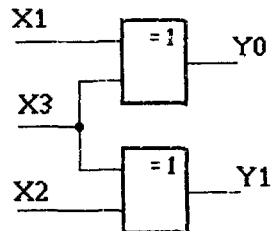


Рис. 7.2 Принципиальная схема шифратора из "4 в 2"

делителя называются каналами, а входы, при подаче сигналов на которые происходит включение соответствующего канала, переключающими входами. Распределители с одним переключающим входом являются распределителями однократного действия, а с несколькими переключающими входами — многократного действия. Структурная схема распределителя однократного действия и временные диаграммы его работы приведены на рис 7.3.

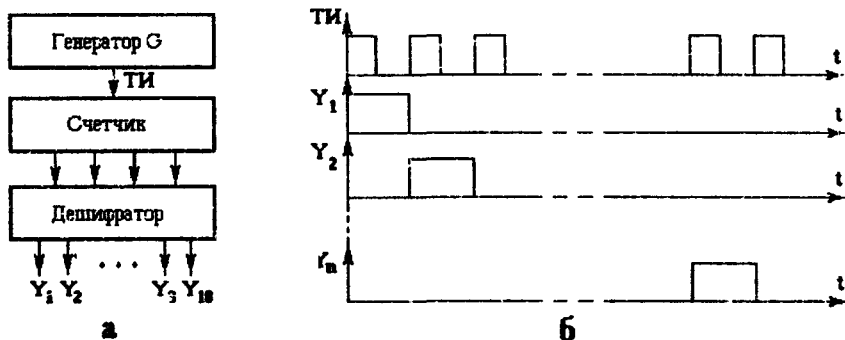


Рис. 7.3. Структурная схема распределителя (а) и временные диаграммы его работы (б)

Распределитель содержит генератор G тактовых импульсов (ТИ), счетчик-делитель частоты и дешифратор.

По виду формируемых сигналов распределители подразделяются на:

- распределители импульсов (РИ);
- распределители потенциалов, или уровней (РУ);
- комбинированные распределители.

У распределителей импульсов рабочий сигнал с уровнем "0" или "1" формируется в одном из каналов только во время действия переключающего или специального стробирующего импульса. Длительность формируемого сигнала обычно равна длительности стробирующего импульса.

У распределителей уровня рабочий сигнал на выходе одного из каналов имеется, как правило, в течение периода переключающих тактовых импульсов.

В распределителях комбинированного типа имеются как импульсные, так и потенциальные выходы.

Распределители реализуются на основе регистровых, пересчетных и многоустойчивых схем.

Распределитель импульсов СТ/DC блока БУ представляет собой десятичный счетчик-делитель с дешифратором, преобразующим двоичный код в сигнал на одном из десяти выходов Q_0 — Q_{10} . На каждом из десяти выходов дешифратора высокий уровень появляется на период тактового импульса с соответствующим номером (индицируется светодиодами).

При высоком уровне на входе сброса R счетчик очищается до нулевого отсчета.

7.5. Мультиплексоры и демультиплексоры

Мультиплексор-демультиплексор является цифровым многопозиционным переключателем или коммутатором, который позволяет выбрать (селектировать) определенный канал или сигнал. В общем случае мультиплексор-демультиплексор имеет n входов, m выходов и схему управления, осуществляющую соединение i -го входа с j -м выходом. Мультиплексоры-демультиплексоры различаются по числу входов и выходов, по способам адресации, наличию входов

разрешения, возможностью коммутации цифровых и аналоговых сигналов и т.д. Обычно селектор, имеющий большее число входов, чем выходов, называют мультиплексором, а при числе входов меньше, чем выходов—демультиплексором. Ряд коммутаторов является обратимым и может выполнять функции как мультиплексоров, так и демультиплексоров, передавая цифровые и аналоговые сигналы в обоих направлениях.

Функциональная схема мультиплексора "из 4 в 1" или демультиплексора "из 1 в 4" приведена на рис. 7.4.

Коммутатор управляется двухразрядным входным кодом (А, В) и имеет вход разрешения Е, присутствие на котором низкого уровня приводит к размыканию всех каналов.

Функционирование мультиплексора-демультиплексора описывается логическим уравнением

$$Y = E \cdot (X_1 \cdot \bar{A} \cdot \bar{B} + X_2 \cdot A \cdot \bar{B} + X_3 \cdot \bar{A} \cdot B + X_4 \cdot A \cdot B), \quad (7.4)$$

Схема мультиплексора цифровых сигналов на логических элементах, функционирующая в соответствии с приведенным выше логическим уравнением, показана на рис. 7.5.

В данном мультиплексоре если $E=0$, то $Y=0$ при любой комбинации входных и адресных сигналов.

В общем виде выходная функция мультиплексора "из M в 1" определяется уравнением

$$Y = \sum_{i=1}^{M-1} X_i \cdot m_i, \quad (7.5)$$

где m_i —минтерм n адресных переменных ($n = \log_2 M$); X_i — i -я входная линия.

Мультиплексирование большого числа входных сигналов выполняется обычно пирамидальным каскадированием мультиплексоров.

Для восстановления мультиплексированной информации используются демультиплексоры, которые в соответствии с принятым адресом направляют информацию в один из m выходов. При этом на остальных выходах поддерживается логический 0. Выходные функции демультиплексора "из 1 в M " имеют вид

$$Y = A \cdot m_i \quad (7.6)$$

Схема мультиплексора, приведенная на рис. 7.5, функционирует в соот-

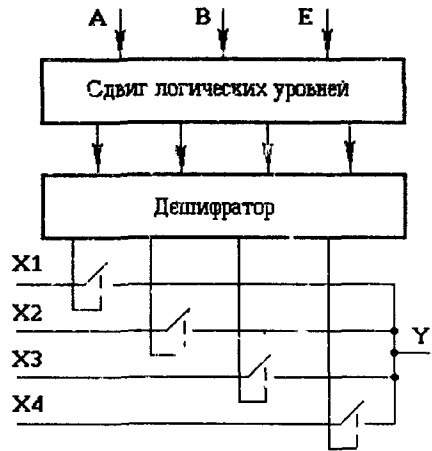


Рис. 7.4 Функциональная схема мультиплексора "из 4 в 1" или демультиплексора "из 1 в 4"

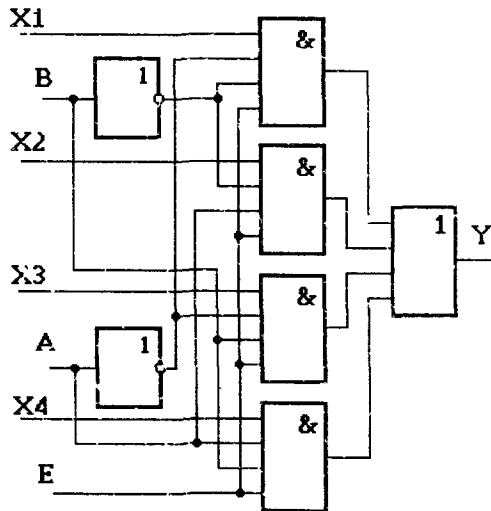


Рис. 7.5. Схема мультиплексора цифровых сигналов "из 4 в 1"

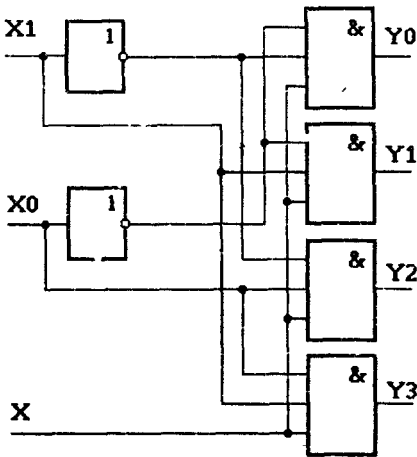


Рис. 7.6. Схема демультиплексора "из 1 в 4"

мультиплексора на 4 входа и демультиплексора на 4 выхода. В качестве сигналов, управляющих работой мультиплексора и демультиплексора, можно использовать уровни напряжений на выходе распределителя импульсов СТ/ДС.

7.7. Порядок выполнения работы

1. Исследовать распределитель импульсов СТ/ДС и шифратор СД блока БУ. Для этого выход генератора одиночных импульсов соединить с входом С распределителя, а кнопкой СТ/ДС подключить к выходу шифратора двоичный светодиодный индикатор. Подавая кнопкой F на вход С одиночные импульсы, исследовать работу распределителя импульсов и шифратора. Нарисовать временные диаграммы и таблицы истинности.

2. Исследовать представление десятичных чисел в двоичной системе счисления. Для этого в качестве входной информации используются сигналы на выходе распределителя импульсов, а их двоичный код высвечивается светодиодным индикатором, подключенным к выходу шифратора.

Для исследования представления десятичных чисел больших 8 в двоичном и двоично-десятичном кодах необходимо использовать двоично-десятичный счетчик СТ2/10 блока БСТ. Для этого выходы счетчика кнопкой СТ/ДС подключаются к двоичному светодиодному индикатору, а кнопкой $\frac{1}{2}$ — установить счетчик в режим суммирования. Затем последовательно нажатием кнопок "Сброс" и "РЗП" обнулить счетчик, а кнопкой "2/10" установить желаемый режим счета (2—двоичный, 10—двоично-десятичный). Соединить синхровход С счетчика с генератором одиночных импульсов и подать определенное число импульсов. При этом на светодиодном индикаторе в зависимости от режима счета, будут отображаться двоичный или двоично-десятичный эквиваленты этого числа. Составить двоичные и двоично-десятичные коды чисел от 0 до 15.

3. Исследовать в блоке БРС дешифратор ДС и его работу для режимов представления информации десятичными и шестнадцатеричными символами.

1 вариант. В качестве входной информации для дешифратора ДС служат уровни сигналов на выходах D-триггеров блока БСТ. После нажатия кнопки "Сброс" на прямых выходах этих триггеров устанавливаются уровни нуля, а на инверсных — единицы. Эти уровни, в соответ-

ствии с логическим уравнением (7.4).

Схема демультиплексора цифровых сигналов "из 1 в 4" приведена на рис. 7.6., а его состояния соответствуют табл. 7.4.

Таблица 7.4

X	A	B	Y0	Y1	Y2	Y3
1	0	0	1	0	0	0
1	1	0	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1
0	x	x	0	0	0	0

7.6. Домашнее задание

1. Построить принципиальные схемы дешифраторов "из 2 в 4" и шифраторов "из 4 в 2" на логических элементах И—НЕ, И, НЕ и на элементах ИЛИ—НЕ, И, ИСКЛЮЧАЮЩЕ ИЛИ соответственно. При построении схем необходимо учитывать возможности лабораторного стенда.

2. Построить принципиальные схемы

вии с двоичным четырёхразрядным числом, гибкими перемычками подаются на входы X1. Для индикации двоичного числа используется светодиодный индикатор, подключаемый к выходам мультиплексора MX кнопкой "Управление" блока РРС, причем старший разряд двоичного числа подает на правый вход X1, а младший — на левый.

С выходами мультиплексора MX соединен дешифратор DC, преобразующий двоичные числа в семисегментный код, соответствующий символам десятичной и шестнадцатеричной системам счисления. Семисегментный индикатор индицирует десятичные цифры от 0 до 9, а также символы A, B, C, D, E и F для отображения цифр от 10 до 15 в шестнадцатеричной системе счисления. При индикации чисел больших 9 на индикаторе загорается десятичная точка.

2 вариант. В качестве входной информации для дешифратора используются уровни сигналов на выходе сдвигового регистра RGA блока БРС. Для этого регистр RGA переводится в режим "сдвиг вправо" кнопкой DR/DL, а синхровкод C соединяется с выходом генератора одиночных импульсов F блока БУ. Затем кнопкой "Уст. RGA" обнуляется регистр RGA и с помощью кнопки "Данные" в регистр продвигается за каждый синхримпульс нуль или единица двоичного числа старшим разрядом вперед.

Индикация состояния регистра RGA осуществляется светодиодным индикатором, подключенным к выходам мультиплексора MX кнопкой "Управление" блока БРС. Индикация чисел семисегментным индикатором осуществляется так же, как и в первом варианте.

3 вариант. В качестве входной информации для дешифратора DC служат уровни сигналов на выходах счетчика, собранного из D-триггеров блока БСТ (см. рис. 7.7)

Прямые выходы D-триггеров соединяются гибкими перемычками с входами X1 мультиплексора MX, при этом счетчик будет суммировать поступающие на его вход импульсы, а

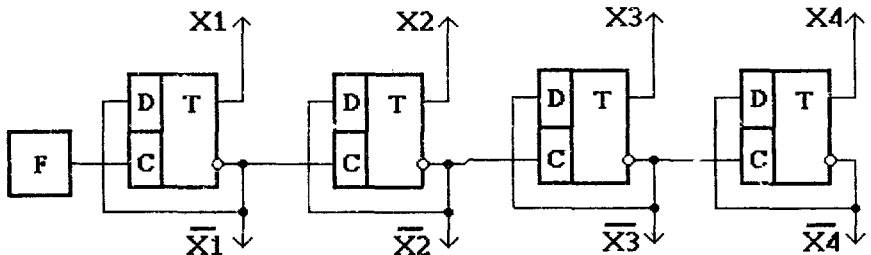


Рис. 7.7. Схема формирователя входных сигналов для дешифратора

результат отображаться на светодиодном индикаторе, который подключается кнопкой "Управление" к выходу мультиплексора. Затем кнопкой "Данные" отключить D-вход первого D-триггера от уровня единицы и, подавая на этот вход сигналы с генератора одиночных импульсов, изучить представление информации двоичными, десятичными и шестнадцатеричными символами. Заполнить соответствующую таблицу.

4. Из логических элементов лабораторного стенда с помощью гибких проводников собрать и исследовать разработанные согласно выданному преподавателем заданию схемы дешифраторов "из 2 в 4" и шифраторов "из 4 в 2", а также заполнить таблицы состояний.

5. Собрать и исследовать схемы мультиплексоров на 4 входа и демультиплексоров на 4 выхода, заполнить таблицы состояний.

7.8. Содержание отчета

1. Цель работы.
2. Принципиальные схемы и таблицы истинности разработанных устройств.
3. Выводы.

Крутинский Сергей Георгиевич,
Гришин Сергей Валентинович,
Иванов Юрий Иванович

МЕТОДИЧЕСКИЕ УКАЗАНИЯ
К ВЫПОЛНЕНИЮ ЛАБОРАТОРНЫХ РАБОТ № 6 И 7
ИССЛЕДОВАНИЕ СУММАТОРОВ,
ИССЛЕДОВАНИЕ ОСНОВНЫХ
КОМБИНАЦИОННЫХ УСТРОЙСТВ ЦВМ

Ответственный за выпуск Иванов Ю. И.

Редактор Федулёв Б. А.

Корректор Федулёв Б. А.

ЛР № 020565 Подписано к печати 24.11.1993 г.
Формат 60×84^{1/16}. Бумага оберточная
Офсетная печать. Усл. п. л. — 1,0 Уч.-изд. л. — 0,9.
Заказ № 410 Тир. 150 экз.
«С»

Редакционно издательский отдел Таганрогского государственного
радиотехнического университета
ГСП 17 А, Таганрог, 28, Некрасовский, 44
Типография Таганрогского государственного
радиотехнического университета
ГСП 17 А, Таганрог, 28, Энгельса, 14