

На правах рукописи

Старых Анастасия Алексеевна

**РАЗРАБОТКА И ИССЛЕДОВАНИЕ МЕТОДОВ ПОСТРОЕНИЯ
ЭНЕРГОЭФФЕКТИВНОЙ ЭЛЕМЕНТНОЙ БАЗЫ ЦИФРОВЫХ
САМОСИНХРОННЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

Специальность 05.27.01 – Твердотельная электроника, радиоэлектронные компоненты, микро– и наноэлектроника, приборы на квантовых эффектах

АВТОРЕФЕРАТ

диссертации на соискание ученой степени
кандидата технических наук

Таганрог–2017

Работа выполнена в Южном Федеральном университете на кафедре конструирования электронных средств института нанотехнологий, электроники и приборостроения

- Научный руководитель:** Ковалев Андрей Владимирович,
доктор технических наук, доцент,
руководитель Инжинирингового
центра приборостроения, радио и
микроэлектроники ЮФУ
- Официальные оппоненты:** Вертегел Валерий Викторович, к.т.н.
Севастопольский государственный
университет СевГУ
- Ведущая организация:** ФГАНУ НИИ «Спецвузавтоматика»,
г. Ростов–на–Дону

Защита диссертации состоится «31» августа 2017 г. в 14⁰⁰ часов на заседании диссертационного совета Д212.208.23 в Южном федеральном университете по адресу: г. Таганрог, ул. Шевченко, 2, кор. Е, ауд. Е–306.

С диссертацией можно ознакомиться в Зональной библиотеке Южного федерального университета по адресу: г. Ростов–на–Дону, ул. Пушкинская, 148 и на сайте <http://hub.sfedu.ru/diss/>

Отзыв на автореферат в 2–х экз., заверенный печатью организации и оформленный согласно «Положению о порядке присуждения ученых степеней» (п.28), с указанием ФИО (полностью) лица, представившего отзыв, почтовым адресом, наименованием организации, его должности в этой организации, телефона и адреса электронной почты, просим направлять в ЮФУ по адресу: 347922, Россия, Ростовская область, г. Таганрог, ул. Шевченко, 2, корпус «Е», лаб.112, ученому секретарю совета Д212.208.23 Исаевой А.С.

Автореферат разослан «__» июня 2017 г.

Ученый секретарь
диссертационного совета, к.т.н.

Исаева А.С.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность работы.

В настоящее время портативная электроника потребляет все больше энергии и задействует еще больше функций, чтобы удовлетворить растущие потребности потребителя. Для обеспечения соответствия возможностей цифровой электроники современным тенденциям требуется более долгая автономная работа устройства без дополнительной подзарядки. Для этого нужны решения, позволяющие сделать цифровые устройства еще более энергоэффективными.

Использование самосинхронной схемотехники вместо синхронной, является действенным методом увеличения быстродействия цифровых электронных систем, увеличения их энергоэффективности.

Предметом настоящей диссертационной работы является построение самосинхронных схем (СС–схем), обладающих свойствами, недостижимыми при смешанных и компромиссных подходах.

Актуальность диссертационной работы

Актуальность разработки и исследования методов построения элементной базы комбинационных энергоэффективных самосинхронных интегральных схем обусловлена следующими основными факторами:

— необходимостью оптимизации элементной базы самосинхронных интегральных схем для увеличения их энергоэффективности.

— наличием существенных ограничений оптимизации у систем автоматизированного проектирования (САПР) самосинхронных интегральных схем;

— сложностью проектирования самосинхронных комбинационных КМОП–схем, в результате чего разработчику приходится в ручном режиме осуществлять поиск наилучшего варианта энергоэффективной КМОП–схемы, с наименьшим количеством транзисторов.

Из–за большой сложности разработки проектов по-новому ставится вопрос об оптимизированном синтезе СС–схем. Больше внимание уделяется развитию методов блочного синтеза, направленного на создание крупноблочных схем с целью устранения «мелкозернистости», что ведет к оптимизации интегральных схем на транзисторном уровне, снижению рисков наличия сбоев, «гонок сигналов», повышению их энергоэффективности.

Цель и задачи диссертационной работы

Целью диссертационной работы является разработка и исследование методов построения энергоэффективной элементной базы цифровых самосинхронных интегральных схем. Для достижения поставленной цели решались следующие *задачи диссертационной работы*:

1. Разработка методов схемотехнического синтеза энергоэффективной элементной базы цифровых самосинхронных интегральных схем.
2. Исследование влияния структуры самосинхронных интегральных схем на их энергоэффективность.
3. Разработка метода построения микроэлектронного высокопроизводительного самосинхронного блока с инициацией управляющего сигнала.
4. Экспериментальное исследование энергоэффективности синтезированной самосинхронной элементной базы.

Методы исследования

Для реализации поставленной цели диссертационной работы использовались логические формулы для расчета значений сигналов синтезируемых самосинхронных интегральных схем, Булева алгебра, методы минимизации функций с помощью карт минтермов и макстермов, схемотехническое моделирование (вычислительный эксперимент).

Научная новизна работы

1. Предложены методы схемотехнического синтеза элементной базы цифровых самосинхронных интегральных схем, основанные на минимизации переключаемых цепочек транзисторов, позволяющие получать схемы как со свойством запоминания значения сигнала, так и без него.
2. Разработан метод построения микроэлектронного высокопроизводительного самосинхронизируемого блока, основанный на определении фактического окончания рабочей и спейсерной фаз.
3. Предложены методы получения сигналов, управляющих конвейерной самосинхронной схемой на основе JK–триггеров и элементе с управляемыми логическими функциями.

Практическая значимость

1. Синтезированы энергоэффективные элементы самосинхронных интегральных схем, преимущества которых заключаются в уменьшении аппаратных затрат.
2. Разработаны алгоритмы синтеза энергоэффективной элементной базы самосинхронных интегральных схем.
3. Разработан самотактируемый высокопроизводительный блок с самосинхронной организацией.
4. Сформулированы рекомендации для разработчиков самосинхронных интегральных схем по нахождению компромиссного решения между уменьшением количества транзисторов в элементной базе, энергоэффективностью, наличием/отсутствием свойства запоминания в самосинхронных схемах.

Положения, выносимые на защиту

1. Методы синтеза элементной базы энергоэффективных самосинхронных комбинационных интегральных схем.
2. Метод построения микроэлектронного высокопроизводительного самосинхронных блоков.
3. Методы получения управляющего сигнала для конвейерной самосинхронной интегральной схемы.
4. Экспериментально установленные взаимосвязи между методом синтеза и энергетическими и топологическими параметрами самосинхронных интегральных схем.

Достоверность результатов работы

Достоверность научных результатов подтверждается проведением исследований с использованием программы схемотехнического моделирования PSpice САПР OrCad, модели КМОП–транзисторов BSIM 3 (прошедшей процедуру стандартизации в Совете по компактным моделям СМС), данных статистики для сравнения полученных результатов с источниками.

Внедрение результатов работы

Результаты диссертационной работы внедрены на промышленных предприятиях ООО «Центр нанотехнологий» (г. Таганрог), ОАО «ТНИИС» (г. Таганрог), ООО «АВИАОК» (г. Таганрог) и в учебный процесс кафедры КЭС ИНЭП ЮФУ.

Реализация результатов работы

Диссертационная работа выполнялась в соответствии с планом научно–исследовательских работ кафедры КЭС ИНЭП ЮФУ. Работа выполнена в рамках реализации Государственного задания подведомственных образовательных организаций на выполнение проекта по теме «Разработка, исследование и изготовление автоматизированной системы управления процессом тренировки СВЧ–приборов» (проект ПЧ0708–11/2017–09, задание № 8.3795. 2017/ПЧ), ФЦП России № 14.587.21.0025 по теме «Разработка математических моделей, алгоритмов и программного обеспечения для оптимизации производства изделий из сапфира в микро– и наноэлектронике» (уникальный идентификатор проекта RFMEFI58716X0025), проекта «Разработка функционального блока СБИС высокоэффективного помехоустойчивого кодирования/декодирования спутниковых линий связи на основе мемристора и асинхронной логики» Фонда содействия инновациям по программе УМНИК.

Апробация работы

Материалы диссертации обсуждались на научных мероприятиях, в частности: III Всероссийская конференция молодых ученых аспирантов и

студентов «Проблемы автоматизации. Региональное управление. Связь и автоматика» (Россия, г. Геленджик, 2014 г.), XII Всероссийская научная конференция молодых ученых, аспирантов и студентов «Информационные технологии, системный анализ и управление» (ИТСАиУ-2014) (Россия, г. Таганрог, 2014 г.), Международная конференция молодых ученых стран БРИКС «Сотрудничество стран БРИКС для устойчивого развития» (Россия, г. Ростов–на–Дону, 2015 г.), X Международная научно–практическая конференция «Фундаментальные и прикладные исследования в современном мире» (Россия, г. Санкт–Петербург, 2015 г.), IV Научно–техническая конференция с международным участием «Науки настоящего и будущего» в Санкт–Петербургском государственном электротехническом университете «ЛЭТИ» им.Ульянова (Россия, г. Санкт – Петербург, 2016г.), 23–я Всероссийская межвузовская научно–техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2016» (Россия, г. Москва, 2016г.), XV Международная молодежная научно–техническая конференция «Будущее технической науки» (Россия, г. Нижний Новгород, 2016г.), XIII Международная научно–техническая конференция «Актуальные проблемы электронного приборостроения» (Россия, г. Новосибирск, 2016г.), XI всероссийская научная конференция молодых ученых «Наноэлектроника, нанофотоника и нелинейная физика» (Россия, г. Саратов, 2016 г.), Молодежной инновационной конференции Открытого Университета Сколково (ОтУС) «Навигатор инноватора» (Россия, г. Москва, ИЦ «Сколково», 2017 г.).

Публикации

По материалам диссертационной работы опубликовано 16 печатных работ, из них 6 статей в журналах, входящих в перечень ВАК, 1 статья в журнале, входящем в базу SCOPUS, 9 работ в сборниках трудов конференций.

Структура и объем работы

Диссертация состоит из введения, четырех глав, заключения, списка используемых источников из 109 наименований и приложения. Общий объем диссертации составляет 151 страницу, включая 105 рисунков, 30 формул, 10 таблиц и 4 приложения.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность работы, сформулированы цель и основные задачи, определены научная новизна и практическая значимость, описаны положения, выносимые на защиту, приведены сведения о реализации результатов: апробация работы и публикации, а также структура и объем работы.

В первой главе приводится аналитический обзор методов построения самосинхронных схем, детально описываются требования, предъявляемые к

синтезируемым СС–схемам и особенности их проектирования. В первой главе на основе литературных данных систематизированы и учтены особенности функционирования СС–схем.

СС–схемы обладают уникальными свойствами: отказобезопасностью, отсутствием ошибок (сбоев), отсутствием «гонок сигналов» при любых конечных задержках элементов. Благодаря таким свойствам СС–схемы применяются в устройствах повышенной надежности для производства, медицины, в автономных системах.

Существующие элементные базы СС–схем ориентируются либо на стандартные логические элементы (Булева логика), либо на С–элементы (NCL–логика), т.е. обладает свойством «мелкозернистости», что приводит к транзисторной избыточности.

Поэтому необходимы методы схемотехнического синтеза, создающие более крупнозернистые логические блоки – оптимизированные переключательные цепочки транзисторов в синтезируемых СС–схемах, повышающие их энергоэффективность.

На рисунке 1 приведены схемы переноса C_{out} в полном сумматоре, реализованные на стандартных элементах, на С–элементах и блочным методом.

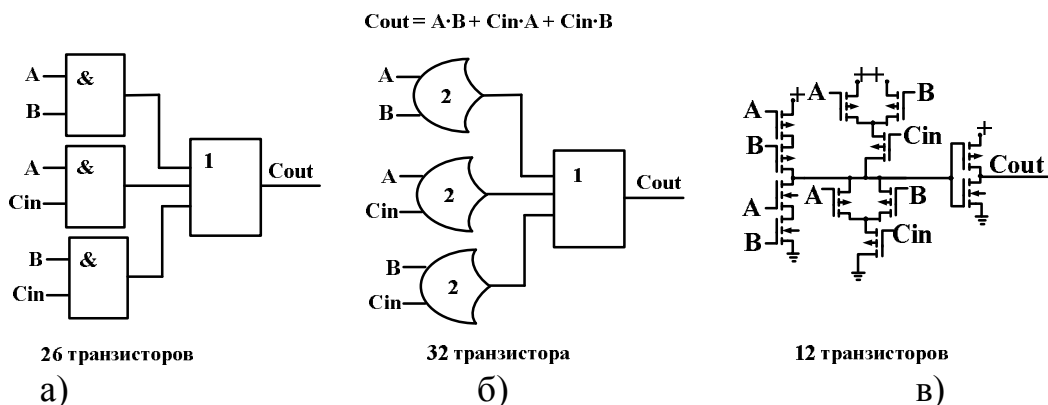


Рисунок – 1 Схема переноса, реализованная на стандартных элементах (а), на С–элементах (б) и на предложенной блочной структуре (в)

На основе предложенного блочного подхода, значительно выигрывающему по количеству транзисторов, можно строить СС–схемы, состоящие из массива р– и п–канальных МОП–транзисторов и различных выходных каскадов.

Во второй главе приводятся методы схемотехнического синтеза элементной базы энергоэффективных микроэлектронных систем с самосинхронной организацией на основе крупнозернистых блочных структур.

В главе предложены следующие методы синтеза: метод синтеза СС–схем с использованием минтермов и макстермов, метод синтеза СС–схем со

свойствами С–элемента, метод синтеза с использованием макстермов и минтермов без включения инвертора.

На рисунке 2 показаны этапы схемотехнического синтеза СС–схем с использованием минтермов и макстермов на примере схемы переноса с прямым и инверсным выходами в полном сумматоре.

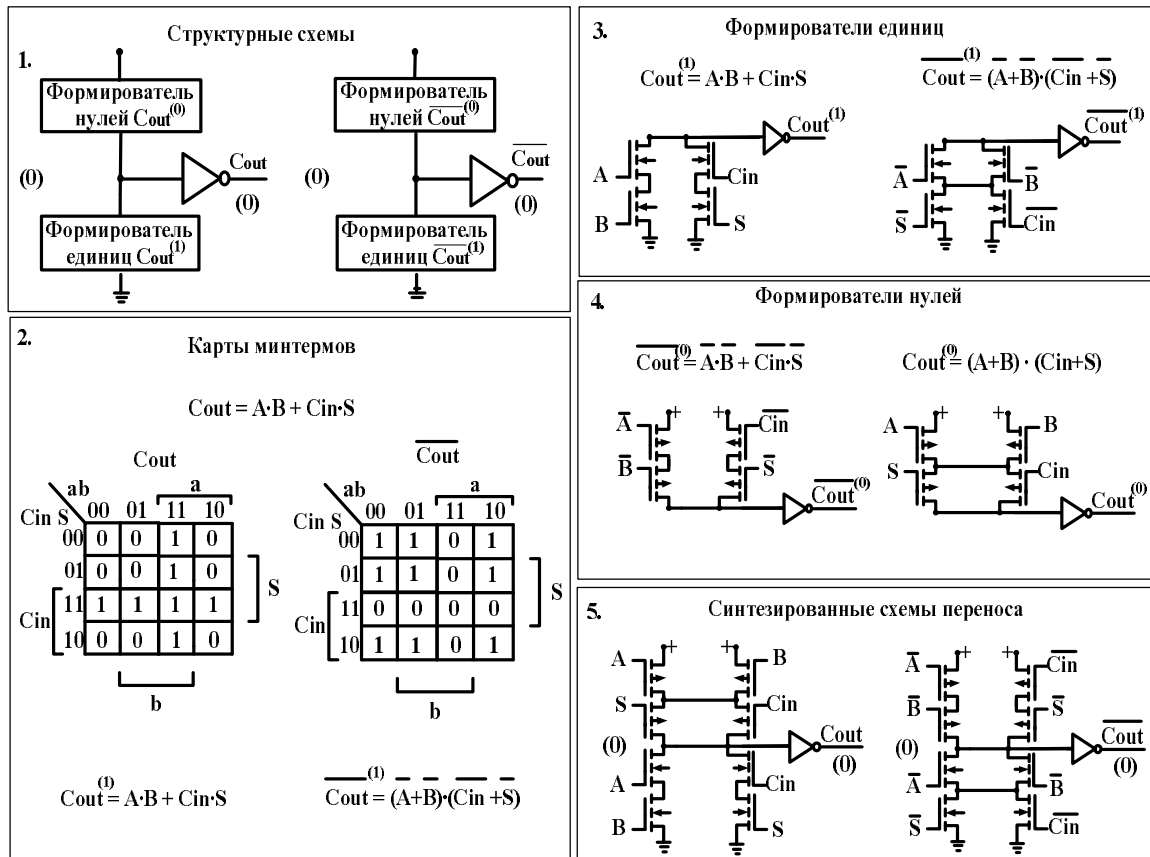


Рисунок – 2 Этапы получения СС–схемы переноса в комбинационном полном сумматоре с прямым и инверсным выходами методом синтеза с использованием минтермов и макстермов

Структурные схемы, реализующие метод синтеза на основе минтермов и макстермов, состоят из подсхем формирователей нулей, подсхем формирователей единиц и инвертора (вкладка 1). На первом этапе синтеза схемы (вкладка 2) минимизируем прямую и инверсную функции, чтобы устранить транзисторную избыточность. На вкладке 3 показаны формирователи единиц, синтезированные по приведенным формулам. Затем инвертируем все переменные в формулах и по новым формулам синтезируем формирователи нулей (вкладка 4). На вкладке 5 приведены синтезированные схемы переноса для прямого и инверсного выходных сигналов.

Этапы схемотехнического синтеза СС–схем со свойствами С–элемента,

рассмотренные на примере схемы «Исключающее ИЛИ», работающих по двухфазному протоколу приведены на рисунке 3.

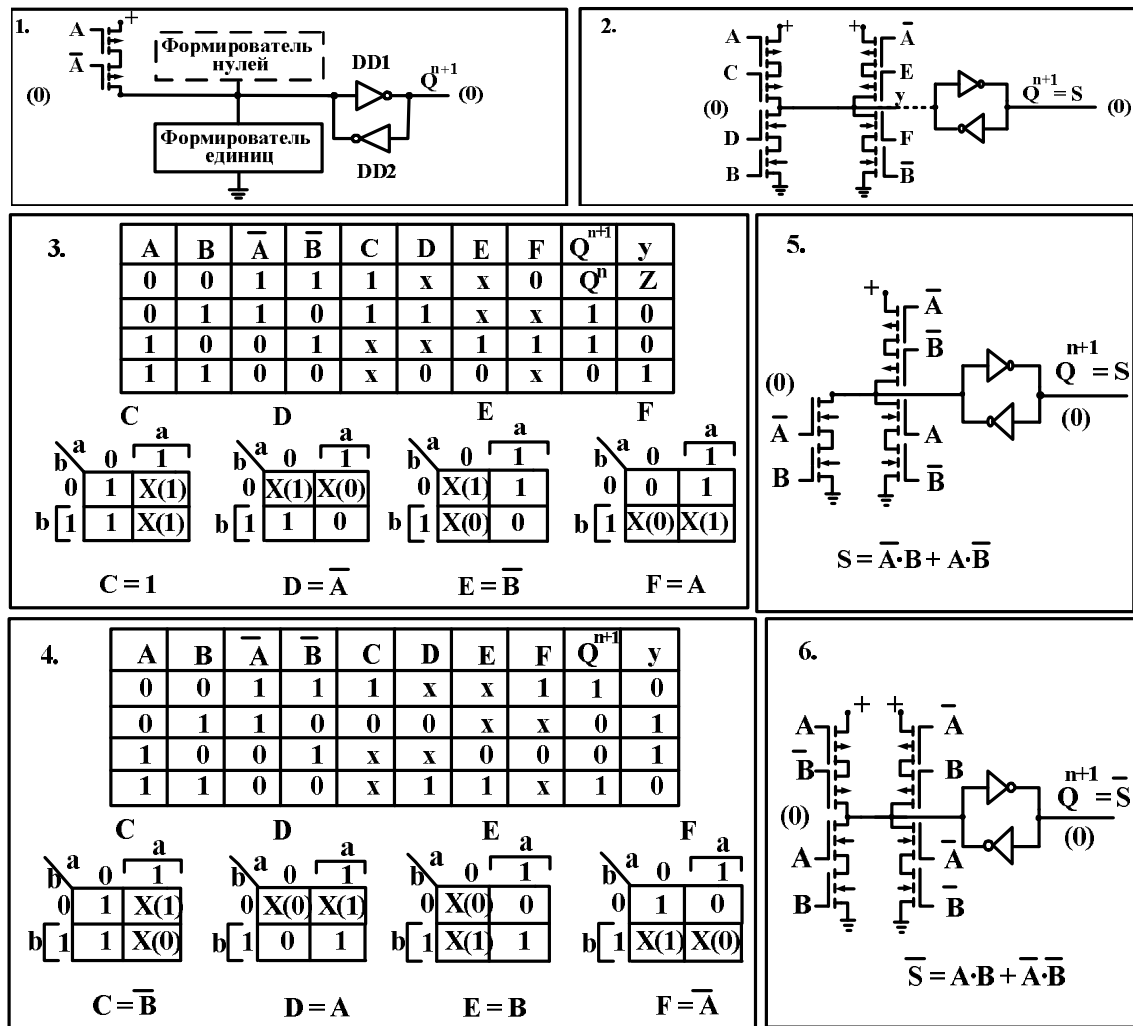


Рисунок – 3 Этапы получения схемы «Исключающее ИЛИ» с прямым и инверсным выходами методом синтеза СС–схем со свойствами С–элемента

Структурная схема, реализующая функции «Исключающее ИЛИ» с прямым и инверсным выходом на базе СС–схем со свойствами С–элемента, показана на вкладке 1. Она состоит из формирователя единиц, расположенного в нижней полуплоскости, двух р–МОП транзисторов в верхней полуплоскости и защелки. Два р–МОП транзистора вводятся в синтезируемую схему, если транзисторная структура будет расположена только в нижней части полуплоскости. Если же появятся транзисторы в верхней полуплоскости, то два р–МОП транзистора можно исключить из схемы.

На вкладке 2 показана обобщенная схема со свойствами С–элемента с известными (А,В) сигналами и искомыми (С, D, E, F). Составляется таблица истинности для выходного сигнала S (вкладка 3), в которую заносятся все

комбинации входных сигналов. Затем, по известным выходным сигналам, определяются значения сигналов C, D, E, F. Минимизация функции производится с помощью карт Карно. Аналогичная процедура производится и для инверсного сигнала \bar{S} (вкладка 4). Подставляя найденные значения сигналов C, D, E, F в обобщенную схему, синтезируем СС–схемы «Исключающее ИЛИ» для прямого и инверсного выходных сигналов (вкладки 5, 6).

На рисунке 4 представлены этапы синтеза схемы с использованием макстермов и минтермов без включения инвертора, рассмотренные на примере схемы переноса с прямым и инверсным выходами в комбинационном сумматоре для СС–схем.

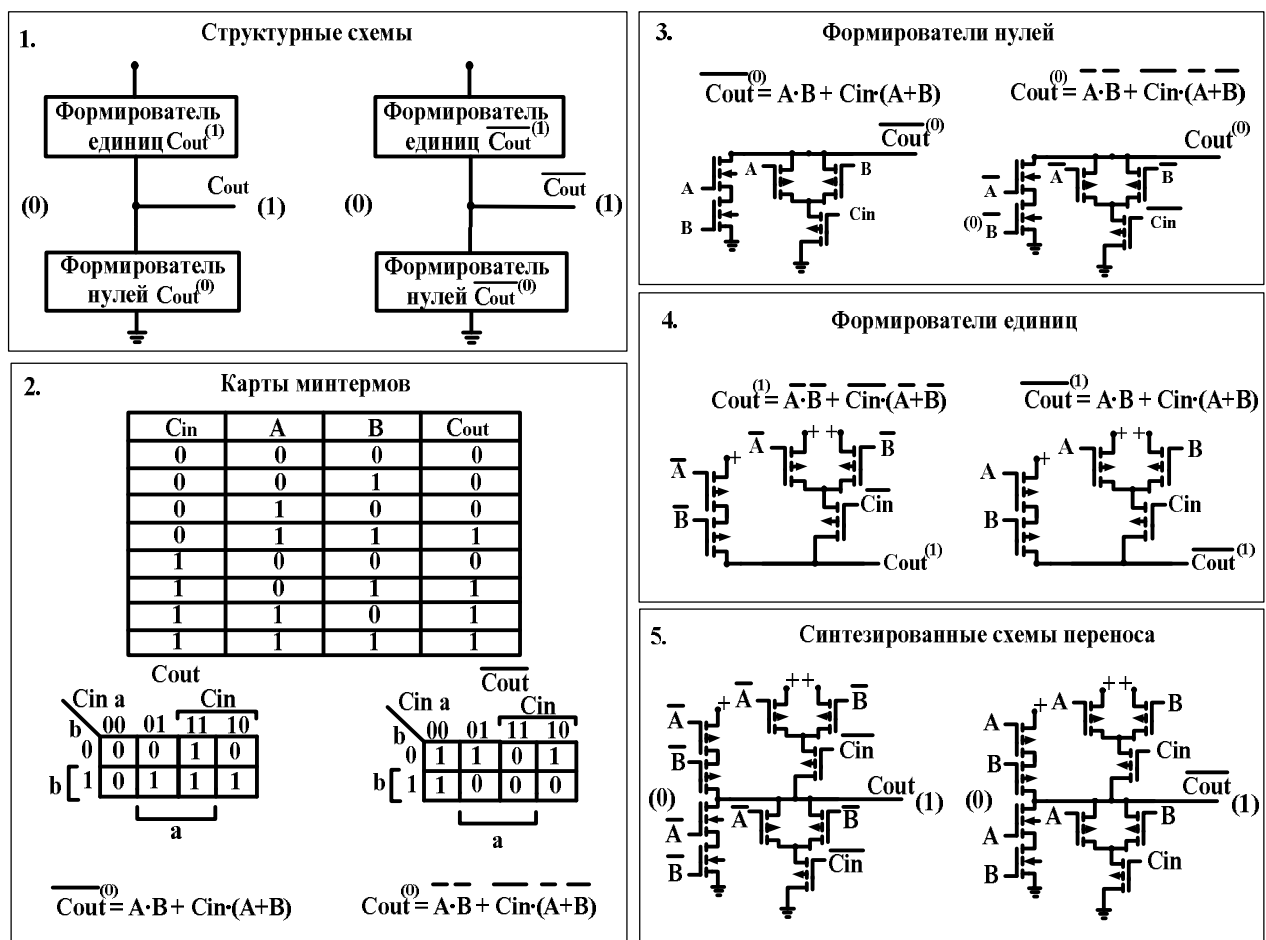


Рисунок – 4 Этапы получения СС–схемы переноса в комбинационном полном сумматоре с прямым и инверсным выходами методом синтеза с использованием макстермов и минтермов без включения инвертора

На вкладке 1 показаны структурные схемы прямого и инверсного переноса с использованием минтермов и макстермов без включения на выходе инвертора. Синтез схем происходит в следующем порядке. По картам

минтермов составляем минимизированные выражения, описывающие формирователи нулей, и синтезируем соответствующую схему (вкладка 3). Далее в полученных выражениях инвертируем все переменные. По полученным формулам синтезируем формирователи единиц (вкладка 4). Соединяя вместе соответствующие формирователи нулей и единиц, синтезируем схемы переноса с прямым и инверсным выходом (вкладка 5).

Созданные элементы находятся на более высоком уровне иерархии, чем элементы Булевой алгебры. Они включают выполнение нескольких операций Булевой алгебры и представляют законченный функциональный узел с заданной функцией.

Синтезированные СС–схемы с помощью приведенных выше методов (предложенных и существующих) можно сравнить в первую очередь по количеству КМОП–транзисторов, включаемых в схему. На рисунке 5 показана градация по количеству транзисторов (N , шт) СС–схем полных сумматоров, синтезированных разными методами.

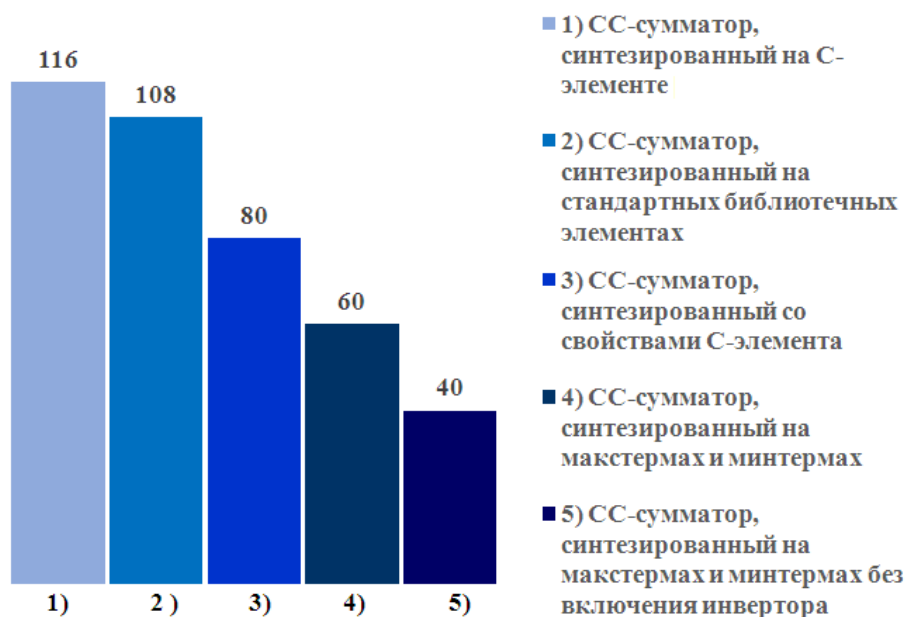


Рисунок – 5 Диаграмма, демонстрирующая зависимость между количеством транзисторов (N) в схеме полного сумматора и применяемым к ней методам схемотехнического синтеза

Как видно из рисунка 5, количество транзисторов существенно зависит от методов синтеза и изменяется от 40 шт. до 116 шт. в схеме полного сумматора.

В третьей главе приводится структурная схема высокопроизводительного самосинхронного блока с инициацией управляющего сигнала «Старт» на примере моногоразрядного сумматора. Рассматриваются построение,

функционирование и взаимодействие каждого его отдельного блока. Показаны этапы формирования управляющего сигнала «Старт» на основе индикаторных сигналов, сигналов окончания рабочей и спейсерной фаз.

Структурная схема разработанного в данной работе высокопроизводительного самосинхронного блока приведена на рисунке 6.

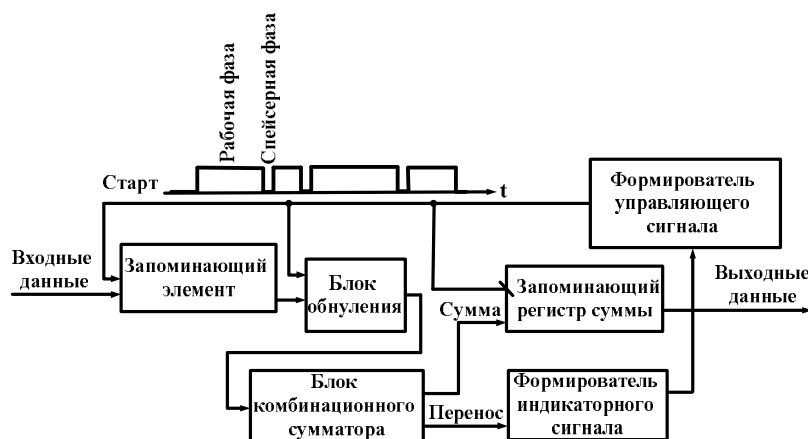


Рисунок – 6 Предлагаемая структурная схема высокопроизводительного самосинхронного блока на примере сумматора

Процесс непрерывного суммирования управляется следующим образом. В спейсерной фазе сигнала «Старт», равного логическому «0», записываются данные в «Запоминающий элемент», а «Блок обнуления» устанавливает логический «0» на всех входах сумматора. После окончания спейсерной фазы (окончание процесса обнуления выходов сумматора) сигнал «Старт» устанавливается «Формирователем управляющего сигнала» в состояние логической «1». Таким образом запрещается запись информации в «Запоминающий элемент» и происходит инициация процесса вычисления суммы (рабочая фаза). На выходе сумматора по завершению процесса суммирования устанавливается значение суммы, которое и записывается в блок «Запоминающий регистр суммы». Наступает следующая спейсерная фаза и процесс (цикл) повторяется.

Таким образом, предложенный блок является циклическим, самосинхронизируемым и самотактируемым, реализующим процесс непрерывной подачи входных данных в схему по мере окончания процедуры предыдущих вычислений.

Для получения управляющего сигнала «Старт» необходимо использование двух блоков: «Формирователь индикаторного сигнала» и «Формирователь управляющего сигнала». В формирователе индикаторного сигнала обрабатываются прямые и инверсные выходные сигналы переноса, так как эти

сигналы изменяются в каждой фазе только один раз.

Из анализа этапов формирования управляющего сигнала «Старт» установлено, что на первом этапе формирования необходимо произвести логическое умножение индикаторных сигналов, а на втором этапе – их логическое сложение. Логическое умножение формирует окончание рабочей фазы, а логическое сложение – окончание спейсерной фазы.

На рисунке 7 представлена схема формирователя управляющего сигнала в высокопроизводительном самосинхронном блоке.

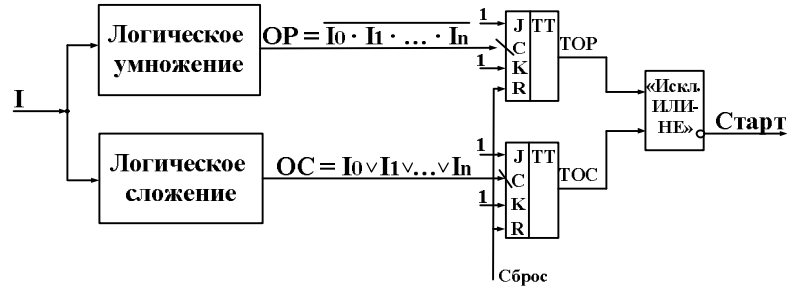


Рисунок – 7 Предлагаемая структурная схема блока формирователя управляющего сигнала «Старт»

После окончания рабочей и спейсерной фаз в сигналах ОР и ОС формируется отрицательный фронт, который переключает JK–триггеры и далее формируется сигнал «Старт».

Значительно упрощает схему формирователя сигнала «Старт» использование элемента с управляемыми логическими функциями. Его выходные значения зависят от состояния выходного сигнала.

Схема предлагаемого элемента с управляемыми логическими функциями на КМОП–транзисторах, реализованная по формуле $Q^{n+1} = A \cdot B + Q^n (A + B)$, полученной в соответствии с разработанной методикой синтеза схем на минтермах и макстермах, показана на рисунке 8.

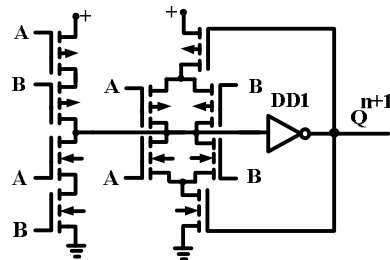


Рисунок – 8 Схема элемента с управляемыми логическими функциями

Синтезированный элемент позволяет заменить JK–триггеры и схему «Исключающее ИЛИ-НЕ» (см. рисунок 8) одним многофункциональным элементом. При этом сигнал $A = \overline{OP}$, сигнал $B = OC$, тогда $Q^{n+1} = \overline{Старт}$.

Предложенные методы построения формирователя управляющего сигнала предполагают создание из локальных индикаторных сигналов I_0, I_1, \dots, I_n глобального индикаторного сигнала «Старт», который управляет работой всего высокопроизводительного самосинхронного блока. В частности, благодаря определению не только окончания рабочей фазы, но и окончания спейсерной фазы, стала возможной реализация высокопроизводительной самосинхронной схемы.

В четвертой главе приводится анализ результатов экспериментального исследования характеристик СС–схем, синтезированных с помощью представленных методов.

Для исследования синтезированной в главе 2 элементной базы были промоделированы в САПР OrCad следующие СС–схемы: восьмиразрядный сумматор (в младшем разряде везде использовались полусумматоры), матричный умножитель, компаратор, мультиплексор, мажоритарная логика и арифметико–логическое устройство (АЛУ). Исследование параметров данных схем проводилось при $E_{пит} = 3,3$ В и $E_{пит} = 5$ В.

Схемотехническое моделирование проводилось с использованием стандартизированной компактной модели МОП–транзисторов BSIM 3 при технологии 180 нм. Топологические размеры МОП–транзисторов в исследуемых схемах имеют ширину затвора 2,0 мкм – для р–канальных транзисторов, 1,2 мкм – для п–канальных транзисторов Транзисторы инвертора, включенного в цепь положительной обратной связи защелки, имеют ширину затвора, равную 0,53 мкм – для р–канальных транзисторов, 0,3 мкм – для п–канальных транзисторов.

Все рассмотренные СС–схемы сравниваются по следующим параметрам: средняя потребляемая мощность (P_{cp}), быстродействие (максимальная задержка распространения ($\tau_{з.р.}$), которая измерялась для наихудшего случая), энергетический критерий сравнения – работа переключения, (A), энерготопологический критерий, (L). Энергетический и энерготопологический критерии важны для интегральных схем БИС и СБИС. Энерготопологический критерий сравнения схем друг с другом представляет собой произведение работы переключения на количество транзисторов $L = A \cdot N = P_{cp} \cdot \tau_{з.р.} \cdot N$.

На рисунке 9 показаны зависимости параметров восьмиразрядного СС–сумматора от применяемого метода схемотехнического синтеза при $E_{пит} = 3,3$ В, полученные в результате исследования на базе моделирования.

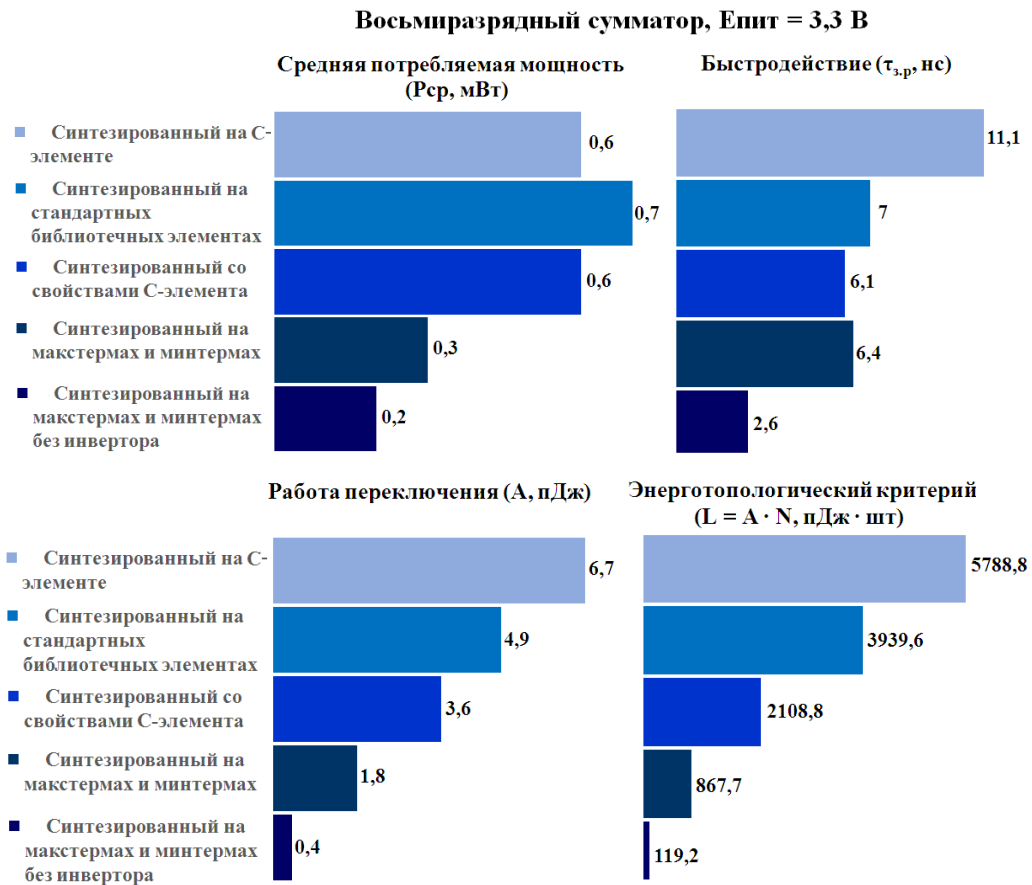


Рисунок – 9 Параметры СС–схемы сумматора в зависимости от применяемого к ней метода схемотехнического синтеза при $E_{пит} = 3,3 В$

Анализ результатов исследования параметров разработанных СС–схем позволяет сделать следующие выводы:

- сравнивая рисунок 5 и рисунок 9, видим, что на параметры схем существенно влияет количество МОП–транзисторов в схемах. Так, схема 1 имеет наибольшее количество транзисторов и обладает наихудшими параметрами, а схема 5, содержащая минимальное количество транзисторов, имеет наилучшие характеристики;

- на параметры схем влияет «зернистость» структурных схем. «Мелкозернистая» схема 1 имеет самые высокие работу переключения и энерготопологический критерий. Самая «крупнозернистая» схема 5 имеет наилучшие характеристики. «Зернистость» схем оказывает влияние и на количество транзисторов в схеме: мелкозернистые схемы имеют большое количество транзисторов, «крупнозернистые» – меньшее количество транзисторов;

– схемы на минтермах и макстермах могут применяться как в СС–схемах, так и в синхронных схемах. Схема со свойствами С–элемента применима только в СС–схемах.

Схемы на минтермах и макстермах без инвертора по энерготопологическому критерию выигрывают в 10 – 40 раз по сравнению со схемами, синтезированными на С–элементе или на стандартных библиотечных элементах.

Для исследования шестнадцатиразрядного высокопроизводительного самосинхронного блока сумматора, реализованного по схеме рисунка 6, была использована САПР OrCad. В качестве входных данных использовано шестнадцать случайных слагаемых (далее приводятся в шестнадцатиричном коде). Результаты моделирования приведены на рисунке 10.

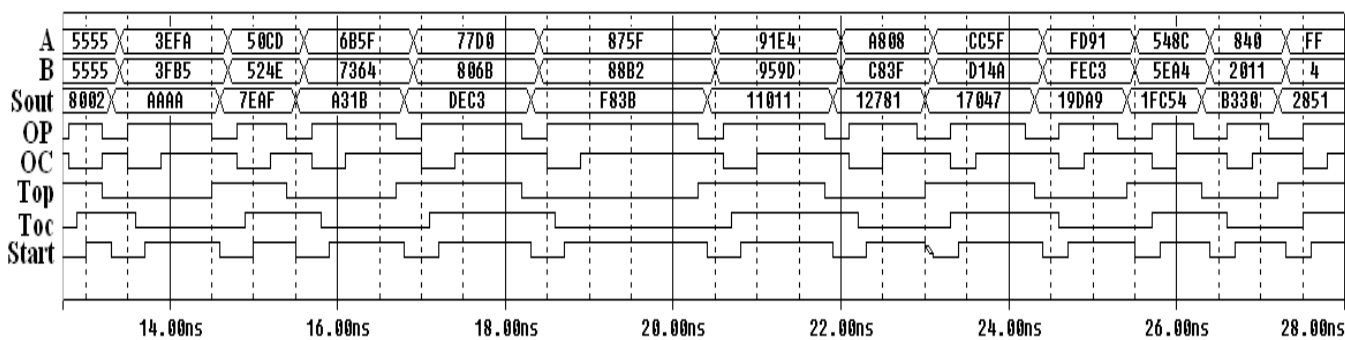


Рисунок – 10 Результат моделирования высокопроизводительного шестнадцатиразрядного блока СС–сумматора

На рисунке 10 A и B – сигналы на входах сумматора; S_{out} – выходной сигнал суммы; OP и OC – выходные сигналы формирователей окончания рабочей и спейсерной фаз, соответственно; T_{OP} и T_{OC} – выходные сигналы JK–триггеров со счетным входом, переключающихся по отрицательному фронту сигналов OP и OC , соответственно; $Start$ – сигнал, управляющий конвейерным суммированием.

Рассматривая сигнал $Start$ (рисунок 11), видно, что завершение рабочей фазы (окончание импульса положительной полярности), которое определяется в автоматическом режиме, переходит в спейсерную фазу (импульс отрицательной полярности). Длительности рабочей фазы могут существенно отличаться в зависимости от складываемых чисел. Длительность спейсерной фазы (обнуление выходов) изменяется в небольших пределах. В главе 3 показано, что за счет организации непрерывной обработки данных, увеличивается производительность СС–схемы сумматора в 2,3 раза по сравнению с аналогичной по функционалу синхронной схемой.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ РАБОТЫ И ВЫВОДЫ

1. Предложены методы синтеза элементной базы СС–схем, выполненные на основе минтермов и макстермов, со свойствами С–элемента и минтермов и макстермов без инвертора.

2. Исследованы результаты моделирования СС–схем, синтезированных предложенными и известными (для возможности сравнения) методами для выявления параметров каждой из схем. Выявлено, что на характеристики схем существенно влияет «зернистость» структурных схем и количество транзисторов в схеме. Найдено, что наилучшими параметрами обладает СС–схема, синтезированная на макстерах и минтермах без включения инвертора.

3. Даны рекомендации разработчику самосинхронной схемы по выбору метода для схемотехнического синтеза элементной базы СС–схем, что позволит найти компромиссное решение между уменьшением количества транзисторов в элементной базе, энергоэффективностью, наличием/отсутствием свойства запоминания в самосинхронных схемах.

4. Разработана структурная схема высокопроизводительного самосинхронного блока, основанная на использовании ПФС–кода и фактическом определении окончания рабочей и спейсерной фазы.

5. Рассмотрено формирование индикаторного сигнала при кодировании выходного сигнала в спейсерной фазе логическим «0» или логической «1». Предложены схемы формирователей управляющего сигнала, содержащие JK–триггеры или элементы с управляемыми логическими функциями.

6. Создан базовый набор из 42 схем на макстерах и минтермах без включения инвертора.

Публикации в журналах из перечня ВАК:

1. Старых, А.А. Оптимизация построения асинхронного сумматора / А.А. Старых, А.В. Ковалев // Электронная техника. Серия 2. Полупроводниковые приборы.– 2014. – №2. – С. 51–55.

2. Старых, А.А. Асинхронный сумматор блочной структуры со свойствами С–элемента / А.А. Старых, А.В. Ковалев // Проектирование и технология электронных средств. – 2014. – №4. – С. 49–54.

3. Старых, А.А. Метод синтеза функциональных блоков комбинационных схем с использованием минтермов и макстермов // Электронная техника. Серия 2. Полупроводниковые приборы. – 2015. – №1. – С. 63–69.

4. Старых, А.А. Метод синтеза запоминающих элементов самосинхронных схем // Нано– и микросистемная техника. – 2016. – Т.18.– №3. – С. 166–175.

5. Старых, А.А. Метод построения индикаторов длительности переходных процессов в асинхронных сумматорах / А.А. Старых, А.В. Ковалев // Известия высших учебных заведений. Электроника. – 2017. – Т.22. – №2. – С. 147–155.

6. Старых, А.А. Конвейерное суммирование с использованием самосинхронных схем / А.А. Старых, А.В. Ковалев // Нано– и микросистемная техника. – 2017. – №3. – С. 165–172.

Публикации в журналах входящих в базу данных SCOPUS:

7. Starykh, A.A. Indicators of the duration of transient processes in asynchronous adders / A.A. Starykh, A.V. Kovalev // International Journal of Applied Engineering Research. – 2016. – Vol. 11. – №19. – pp. 9870 – 9875.

Публикации в других изданиях:

8. Старых, А.А. Оптимизированный асинхронный сумматор / А.А. Старых, А.В. Ковалев // Сборник материалов конференции III Всероссийская конференция молодых ученых аспирантов и студентов «Проблемы автоматизации. Региональное управление. Связь и автоматика». – Геленджик. – 2014. – С. 170–178.

9. Старых, А.А. Асинхронный сумматор с блочной структурой со свойствами С–элемента / А.А. Старых, А.В. Ковалев // Сборник материалов конференции XII Всероссийская научная конференция молодых ученых, аспирантов и студентов «Информационные технологии, системный анализ и управление». – Таганрог. – 2014. – С. 191–198.

10. Старых, А.А. Метод синтеза асинхронных схем с элементом памяти на примере компаратора / А.А. Старых, А.В. Ковалев, Т.Х. Буй // Сборник материалов конференции Международная конференция молодых ученых стран БРИКС «Сотрудничество стран БРИКС для устойчивого развития». – Ростов–на–Дону. – 2015. – С. 171–174.

11. Старых, А.А. Метод синтеза асинхронного мультиплексора с элементом памяти для его возможного применения в самосинхронных схемах / А.А. Старых, А.В. Ковалев // Сборник материалов конференции X Международная научно–практическая конференция «Фундаментальные и прикладные исследования в современном мире». – Санкт–Петербург. – 2015 г. – С. 25–30.

12. Старых, А.А. Построение запоминающих элементов для асинхронных схем / А.А. Старых, А.В. Ковалев // Сборник материалов конференции IV Научно–техническая конференция с международным участием «Науки настоящего и будущего» в Санкт–Петербургском государственном электротехническом университете «ЛЭТИ» им. Ульянова. – Санкт – Петербург. – 2016г. – С. 69 – 71.

13. Старых, А.А. Построение индикации переходного процесса для асинхронного сумматора / А.А. Старых, А.В. Ковалев // Сборник материалов конференции 23-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2016». – Москва. – 2016. – С.201.

14. Старых, А.А. Индикация длительности переходного процесса в асинхронном сумматоре с протоколом без спейсера / А.А. Старых, А.В. Ковалев // Сборник материалов конференции XV Международная молодежная научно-техническая конференция «Будущее технической науки». – Нижний Новгород. – 2016. – С.483.

15. Старых, А.А. Создание цифровой элементной базы из компонентов библиотеки АВМ для исследования асинхронных схем // Сборник материалов конференции XIII Международная научно-техническая конференция «Актуальные проблемы электронного приборостроения». – Новосибирск. – 2016. – Т.7.– С. 150 – 152.

16. Старых, А.А. Метод организации конвейерного суммирования в самосинхронных схемах // Сборник материалов конференции XI Всероссийская научная конференция молодых ученых «Наноэлектроника, нанофотоника и нелинейная физика». – Саратов. – 2016. – С. 201 – 202.

Личный вклад автора.

В опубликованных работах лично автору принадлежат: в [1] – схема оптимизированного полного асинхронного сумматора на С-элементах; в [2] – синтез комбинационных элементов с функцией запоминания; в [5] – реализация асинхронной схемы сумматора с ПФС-кодом и индикатором длительности переходного процесса на КМОП-транзисторах; в [6] – реализация конвейерного суммирования и непрерывной обработки данных в СС-схеме; в [7] – метод схемотехнической организации индикатора длительности переходного процесса на основе формирования коротких импульсов, соответствующих наличию переходного процесса; в [8, 10, 11, 12, 13, 14] – проведение моделирования и анализ результатов по исследованию; в [9] – синтез схемы асинхронного сумматора с блочной структурой. [3, 4, 15, 16] – работы в единоличном авторстве.

Таганрог. Издательство ЮФУ.
ГСП 17А, Таганрог, Некрасовский, 44
Зак.№ _____. Тираж _____ экз.
2017 г.